

常識に捕まる前の1~2年が勝負

トレンチ・セルで「IEEE Cledo Brunetti 賞」を受賞

すなみ ひでお

角南 英夫 氏

日立製作所 半導体設計開発センタ戦略企画室 センタ長付

1943年生まれ、香川県出身。67年東北大学工学部卒、69年に修士課程を修了。同年日立製作所に入社、中央研究所で87年に部長、90年から半導体設計開発センタ戦略企画室のセンタ長付に。85年に博士号を取得。東北大の西澤研究室でSiエピタキンを研究、日立ではMOS界面の評価やCCD、層間絶縁膜の研究、プロセスCAD、64K~64M DRAMの開発に従事。82年に発表したトレンチ・セルの論文に対して、84年にIEEEから「Paul Rappaport Best Paper 賞」を受けている。趣味は音楽鑑賞、ゴルフ、蝶の収集。47歳。



発想は、1974年にさかのぼる。米国スタンフォード大学へ留学中に参加した電気化学協会の会議で、高効率化太陽電池の発表を見て「トレンチ・セル」のアイデアが湧いた。日立製作所に入社5年目の角南英夫氏が、まだDRAMの研究開発に携わる前のことである。

64 M DRAM で復権も

太陽電池の発表は、異方性のウエット・エッチングでSi(110)面に垂直な溝を形成するというもの。これを、実用化が始まったばかりのDRAMのキャパシタに利用すれば、S/Nが上がると直感した。帰国してすぐ、75年に特許を出願している。技術の常識を知らない「シロウトだからブレイクスルーに気付いた」と言う。当時はまだ等方性のドライ・エッチング技術しかなく、(100)面に溝を掘るのは不可能に見えた。

この発想が82年の「IEDM」のレート・ニュースに出した衝撃的な1Mビット向けトレンチ・セル(Corrugated Capacitor Cell: CCC)の発表を生み、今回の「Cledo Brunetti Award」受賞につながった。

16M量産を目前に控えた現在、国内ではトレンチが主流とはいえないが、メガビット時代に必須になるセルの3次元化というブレイクスルーの方向を示した意義は計り知れない。

トレンチ・セルに関しては、日立ではまだ

実用化していない。1Mは量産直前まで持ち込んだが、ギリギリのところプレーナ・セルに戻した。ソフト・エラーに弱いことがわかったためだ。4Mでは3次元化に取り組んだが、事業部側のトレンチ苦手意識もありスタックを選んだ。16Mもスタックの縮小でいく。

ただ、64Mでは事情が一変する。日立ではトレンチ内壁を酸化したカプセルに、キャパシタを作り込む構造が有力になっている。

中央研究所でSi LSIのプロセス・デバイス技術を担当する第3部の部長まで務めた角南氏は、昨年からは戦略企画室に移り半導体事業の成功シナリオを描く責任を負った。現在は、通信用LSIの事業化プランを練っている。

やり残した1G DRAMが気掛かり

「生臭いことがやりたくて」留学先から研究所に戻り、64Kの研究チームに入った。80年暮にスタートした1.3 μ mプロジェクトの中で1Mをターゲットにトレンチに取り組んだ。

DRAMは、ビット数が1000倍になるときに本質的なブレイクスルーが必須になると見る。最初が1Kで、1M以降はメモリー・セルが3次元化した。今は、1Gが全く見えないが、高誘電率膜にメドを立てれば道は開ける。「2000年でSi LSIは終わり」と言う最近の若い研究員の常識を憂える。

「玉石混交に玉はあり」。常識に捕らわれない自由な発想が、本質を見抜く基本だと説く。新しい仕事を始めてから、1~2年の間が勝負を決めるといふ。(K.Y.)

Cledo Brunetti Award: IEEE (米国電気電子技術者協会) が毎年贈る「IEEE Field Award」の一つで、電子装置の小型化に貢献した研究者が対象。過去には、ICのJack S.KilbyとRobert N.Noyce、スケールリング則のRobert H.Dennard、LOCOS分離のElse Kooiなどが受賞している。